

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8189780

Basic Patent (No,Kind,Date): JP 63186216 A2 880801 <No. of Patents: 007>

ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): NOGUCHI KESAO

IPC: *G02F-001/133; G09F-009/30

JAPIO Reference No: 120463P000132

Language of Document: Japanese

Patent Family:

| Patent No | Kind | Date | Applic No | Kind | Date |
|--------------------|------|--------|-------------|------|----------------|
| DE 3852406 | C0 | 950126 | DE 3852406 | A | 880128 |
| DE 3852406 | T2 | 950727 | DE 3852406 | A | 880128 |
| EP 276853 | A2 | 880803 | EP 88101242 | A | 880128 |
| EP 276853 | A3 | 900207 | EP 88101242 | A | 880128 |
| EP 276853 | B1 | 941214 | EP 88101242 | A | 880128 |
| JP 63186216 | A2 | 880801 | JP 8719100 | A | 870128 (BASIC) |
| US 4781438 | A | 881101 | US 149629 | A | 880128 |

Priority Data (No,Kind,Date):

JP 8719100 A 870128

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

02569316 **Image available**

ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 63-186216 [JP 63186216 A]

PUBLISHED: August 01, 1988 (19880801)

INVENTOR(s): NOGUCHI KESAO

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-019100 [JP 8719100]

FILED: January 28, 1987 (19870128)

INTL CLASS: [4] G02F-001/133; G09F-009/30

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
(COMMUNICATION -- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 796, Vol. 12, No. 463, Pg. 132,
December 06, 1988 (19881206)

ABSTRACT

PURPOSE: To obtain excellent image quality by connecting thin film transistors (TFT) in triangular arrangement of colors of ≥ 2 elements per picture element to the same display electrodes and drain buses and connecting the same to different drain buses.

CONSTITUTION: Four elements of the TETs 13, 14, 17, 18 are provided per picture element. All of the four elements TETs 13, 14, 17, 18 are connected to the same drain bus 11 and the two elements TETs 13 and 14 as well as 17 and 18 are connected to the respectively different buses. One picture element is provided across the drain bus 11 and the picture elements are constituted by shifting the same by every $1/2$ pitch per line. This device is constituted of such triangular picture element arrangement in which two lines of the picture elements 15, 16 sandwiching the gate bus 12 can be driven by apiece of the gate bus 12. The high-grade color display is thereby obtained; in addition, half the holding time is necessitated or twice the access time is obtained even if the number of scanning lines is increased. A disconnection of the gate bus hardly leads to a line defect even if such disconnection exists.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-186216

⑬ Int.Cl.⁴

G 02 F 1/133
G 09 F 9/30

識別記号

3 2 7
3 3 8

庁内整理番号

7370-2H
C-7335-5C

⑭ 公開 昭和63年(1988)8月1日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 アクティブマトリックス液晶表示器

⑯ 特 願 昭62-19100

⑰ 出 願 昭62(1987)1月28日

⑱ 発 明 者 野 口 今 朝 男 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

アクティブマトリックス液晶表示器

2. 特許請求の範囲

薄膜トランジスタを用いたアクティブマトリックス液晶表示器において、複数の単位画素からなるカラー画素を一行ごとに該カラー画素の1/2ピッチずらして配列し、該カラー画素の各単位画素に2素子以上の薄膜トランジスタを接続し、該薄膜トランジスタのそれぞれのドレイン・ソース電極を同一のドレインバスと表示電極に接続し、それぞれのゲート電極を相隣り合うゲートバスに接続したことを特徴とするアクティブマトリックス液晶表示器。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は薄膜トランジスタを用いたアクティブ

マトリックス液晶表示器に関し、特にカラー表示するアクティブマトリックス液晶表示器に関する。

〔従来の技術〕

液晶表示器において、近年、カラー表示の要求が強くなっている。カラー表示を行うには、白黒表示の一面素当りを3～4画素に分割し、それぞれの分割画素に配色し、全体として混色させて任意の色を表示する方法が一般的である。したがって、白黒表示器よりカラー表示器は3～4倍の画素数を必要としている。一方、液晶の電界効果を利用して、液晶を挟む2枚の電極に電界を印加し、液晶の光スイッチング現象により表示を行なう場合、表示画素数が増大したマトリックス表示器においては、一面素当りのアクセス時間が短くなる。したがって、液晶に印加される実効電圧が低下するため、単純マルチプレックスのマトリックス表示器ではデューティ比を決める走査線数が100本程度以上になると、著しく画質低下をもたらしていた。

表示画素数が増大した場合でも、スタティック

表示に近い表示を得る方法として、各画素にスイッチング素子を設けたアクティブマトリックス方式を採用すれば、画質低下が生じないと云われている。しかしながら、各画素に設けられたスイッチング素子の特性によって、液晶に印加される電圧が変化を受ける。例えばスイッチング素子に薄膜トランジスタを用いた場合、そのトランジスタのON時の抵抗及びOFF時の抵抗によって、容量性の液晶に対する充放電特性によって、得られる表示の画質が左右されるのが現実であり、走査線数を無制限に増大することは出来ない。

ところで、カラー表示を行なう場合、カラー表示全体の画質を決める要素として、カラー画素の配列も重要なファクターである。我々は先に特開昭60-11929において、3色のカラー画素をカラー配列2行に渡って、三角(三対)状に組んだ(三角配列と呼ぶ)トリオカラー画素配列を提案した。それは第7図に示したような構成を有するアクティブマトリックスである。その表示方法は水平方向の一行の画素電極からなるカラー配列

のうち、各画素電極80に薄膜トランジスタ(TFT)83と84の2素子が接続されている。したがって、例えばゲートバス82の G_{2n-1} 番目と、ドレインバス81の D_{2n-1} 番目でアクセスされる画素は右上り斜線で示した画素電極80に対応し C_1 の添字を付記した画素である。つまり、ゲートバス82にまたがる2個の画素 C_1 である。次に、ゲートバス82の G_{2n} 番目の走査の時は右下りの斜線で示した画素電極80に対応し C_2 の添字を付記した画素である。この方法ではドレインバス81に同一の色(C_1)の信号を入力する場合しか適用できず、当然カラー配列は縦ストライプに限られる。このため前述した三角カラー画素配列でないため画質は劣るものであった。

ちなみに、第9図に示したような色ずらしのカラー配列では、例えば、ドレインバス91の D_{2n-1} 番目に接続されている画素電極90に対応した色は、ゲートバス92ごとく C_1 、 C_2 の2色の画素が対応する。よって、第10図に示したように、ゲートバスを G_{2n-1} 、 G_{2n} 、 G_{2n+1} 番目と走査

の2行を同時に一本のゲートバスライン72で駆動するものである。各画素電極75、76はそれぞれ1つの薄膜トランジスタ73、74で駆動されている。このため、前述の走査線は従来の2倍の値と等価な表示が得られている。しかしながら、表示器の大型化に伴って、増々走査線は増加する傾向にあり、TV表示のようにカラートリオとして垂直500本程度まで要求されている。又、高解像度表示においてはさらに増加することは周知のことである。このように走査線が増加した場合、走査線の断線による表示の欠陥も大きな問題になっている。特に、一本のゲートバス72でカラー2行表示を行なう方法では線欠陥が目立つという欠点もあった。一例として、第8図に示すように、一面素当り2素子の薄膜トランジスタ83、84を設け、それぞれ別のゲートバスライン82と接続し、一面素のアクセスを相隣り合うゲートバスライン82で2回行なうことにより、走査線(ゲートバスライン)が増しても、アクセス時間を実質2倍にする方法が考えられる。すな

するタイミング t_1 、 t_2 、 t_3 に対応して入力される画像の色信号は、 $V_{D_{2n-1}}$ の波形のように、 C_1 、 C_2 、 C_1 のごとく C_1 、 C_2 のくり返して2色のサンプリング信号である。ゆえに、第9図のような色ずらしのカラー配列のアクティブマトリックスでは走査線(ゲートバス)2本にわたり同一の画素をアクセスすることはできない。したがって、液晶に印加される実効電圧を、走査線数が増加した場合でも十分な値を得ることは困難であった。

液晶の容量は画素の面積にも比例し、0.1～0.5 pF程度が多い。又薄膜トランジスタのON抵抗は半導体薄膜の材質にもよるが、画素ピッチから制約されるトランジスタチャネル幅にも比例し、 $10^7 \sim 10^8 \Omega$ 程度が多い。又、OFF抵抗はさらに薄膜トランジスタの製造プロセスにも左右され、 $10^{12} \sim 10^{10} \Omega$ 程度が多い。この他に液晶の抵抗は $10^{10} \Omega$ 程度である。これらの定数から決定される液晶の充放電特性によって、アクティブマトリックス液晶表示器といえども、実質

走査線数やアクセス時間及び保持時間が制約を受けていた。

〔発明が解決しようとする問題点〕

上述したように、従来の薄膜トランジスタを用いたアクティブマトリックス液晶表示器は薄膜トランジスタのON抵抗、OFF抵抗の値によって、走査線数を増加できないという欠点があった。又、カラー配列を良質な三角配列にした場合で、一面素をアクセスする時間及び保持時間を有利に構成することができないという欠点があった。さらに、ゲートバス1本でカラー2行を同時に駆動する三角配列では線欠陥が目立つという欠点もあった。

本発明の目的は高品位なカラー表示を得られる三角カラー配列を有しかつ、走査線数を増加させても、1/2の保持時間で済むもしくは、2倍のアクセス時間を有し、ゲートバスの断線があっても線欠陥として表れにくいアクティブマトリックス液晶表示器を得ることにある。

〔問題点を解決するための手段〕

本発明のアクティブマトリックス液晶表示器は、

とすることができるため、液晶への実効印加電圧を増加できるので、その分走査線数を増加させることができる。又、ゲートバスに断線が生じて、隣合う他のゲートバスで同一面素をアクセスできるため、直接表示の線欠陥として表われない。

〔実施例〕

以下、本発明について図面を参照してより詳細に説明する。

第1図は本発明の一実施例を説明するために示したアクティブマトリックス表示器のアクティブマトリックスの等価回路図である。実際にはガラス等の絶縁基板上に薄膜トランジスタ(TFT)13、14、17、18が、ゲートバス12とドレインバス11との交点近傍に設けられ、各面素に対応した表示電極15、16が各バス11、12に接続された構造となる。各表示電極15、16に対向して共通電位が与えられた透明電極からなる共通電極が形成され各表示電極15、16と共通電極との間に液晶が配置されている。

第1図において、ゲートバス12とドレインバ

カラー面素を一行ごとに該カラー面素の1/2ピッチずらして配列し、該カラー面素の一面素に2素子以上の薄膜トランジスタを設け、該一面素分の薄膜トランジスタのそれぞれのドレインとソース電極を同一のドレインバスと表示電極に接続し、それぞれのゲート電極を相隣り合うゲートバスに接続した構成を有する。

〔作用〕

上記した解決するための手段のうち、カラー面素を一行ごとに該カラー面素の1/2ピッチずらして配列する手段は、同一色が行方向に縦がらないため、モアレも存在せず、混色の良い画質が得られる。又、カラー面素の一面素に2素子以上の薄膜トランジスタを設け、ゲートバス、ドレインバス及び一面素の表示電極に各々2素子以上のゲート、ドレイン、ソース電極を接続する手段は、結果的に一面素が2本のゲートバスに接続されるため、走査期間中2回アクセスすることが可能であり、同一フレーム期間では1/2の保持時間とすることができ、もしくは、2倍のアクセス時間

ス11とはマトリックス状に配線されている。一面素はドレインバス11をまたぐ様に設けられ、画素電極15と画素電極16との2素子から成っている。画素電極15にはTFT13とTFT18とが接続され、同一のドレインバスに接続され、異なるゲートバスに接続されている。同様に画素電極16にはTFT14とTFT17とが接続され、TFT13、TFT18と同一のドレインバスにそれぞれ接続され、TFT14はTFT13と同一のゲートバスに、TFT17はTFT18と同一のゲートバスにそれぞれ接続され、結果的にTFT14とTFT17はそれぞれ異なるゲートバスに接続されている。したがって1面素当りには4素子のTFT13、14、17、18が設けられており、4素子のTFT13、14、17、18は全て同一のドレインバス11に接続され、2素子のTFT13と14、17と18がそれぞれ異なるゲートバスに接続されている。又、一面素はドレインバス11をまたぐ様に設け、行ごとに1/2ピッチずらして面素を構成した。

又、一本のゲートバス12でこのゲートバス12を挟む2行の画素15, 16を駆動できるような三角画素配列とした。

このような構成とすることで、次のような表示が可能となった。第1図のゲートバス G_{2n-1} , G_{2n} , G_{2n+1} ……はそれぞれ2行のカラー画素をアクセスできる。したがって、第3図に示すように、ゲートバス1本おきに信号を入力する、いわゆるインターレース方式の駆動を行なった。しかしながら得られる表示は第4図(a), (b)に示すように、奇数番のゲートバス G_{2n-1} , G_{2n+1} を走査した時の表示(同図(a))も、偶数番のゲートバス G_{2n} , G_{2n+2} を走査した時の表示(同図(b))も全く同一の表示が得られた。

これは、第5図に示すように、インターレースで2回の走査期間中に一画素の液晶に印加される電圧 V_{LC} は、偶数番ゲートバスの電圧 V_{G2n} と奇数番ゲートバスの電圧 V_{G2n+1} が入力された2回のタイミングに各TFTがそれぞれONし、ドレインバスからの色信号が入力されて、2回印

2素子。ゲートバス G_{2n+1} に2素子のTFTが設けられているが、TFT23と24のうち的一方およびTFT27と28のうちの方の各TFTを設けなくて、1画素当り4素子でなく2素子とすることが可能である。あるいは、これらの2素子、4素子のTFTのうち不良のTFTをトリミングし接続をオープンにすることで除き、残りのTFTでアクセスすることも可能である。第1図の実施例で述べたゲートバスの断線に対する利点と合せて、このような点欠陥に対しても冗長性を有している。

表示の為に、第6図に示したように、ノンインターレースで駆動する場合には、一画素は1'の2倍の期間アクセスされることになり、かつ、第4図に示したように常に同一の色を表示させるため、ドレインバスの色信号は同一色のサンプリングでよい優れた利点を有している。又、アクセス時間が2倍であるため、 R_{ON} がやや高くなっても充電時間を2倍にでき、液晶の印加電圧を高くできる。

したがって、走査線数が増加しても液晶に印加

加される。このため、液晶に印加された電圧 V_{LC} の保持特性が良くなり、実効電圧を高くすることができた。したがって、フレーム周波数60 Hzで走査線(ゲートバス)数が480本となり、1画素のアクセス時間が約35 μ sとなっても、良好な画質を得ることができた。

又、第4図(a), (b)に示したように、奇数番ゲートバス走査時も偶数番走査時も同一の表示となるため、ゲートバスの断線が生じていても、隣り合うゲートバスのいずれかでアクセスできるため、直接表示の源欠陥とはならなかった。

〔実施例2〕

第2図は本発明の他の実施例を説明するために示したアクティブマトリックスの等価回路である。実際の構造は実施例1で述べたようにガラス基板等に作成される。

画素電極25と画素電極26はドレインバス21をまたぐ細線の接続線20で接続されている。したがって、図中では一画素当りTFT23, 24及びTFT27, 28とゲートバス G_{2n} に

される実効電圧を大きくでき、表示画質が劣化しない利点がある。

〔発明の効果〕

以上説明したように、本発明はカラーの三角配列としたため、高品位なカラー表示が得られ、かつ、1画素当り2素子以上のTFTを同一の表示電極及びドレインバスに接続し、異なるゲートバスに接続したため、表示欠陥に対して冗長性が得られ、かつ、ゲートバス(走査線)数が増加してもアクセス時間を2倍にでき、又は保持時間を1/2にできることにより、液晶に印加される実効電圧が高くなり、極めて優れた画質が得られる。

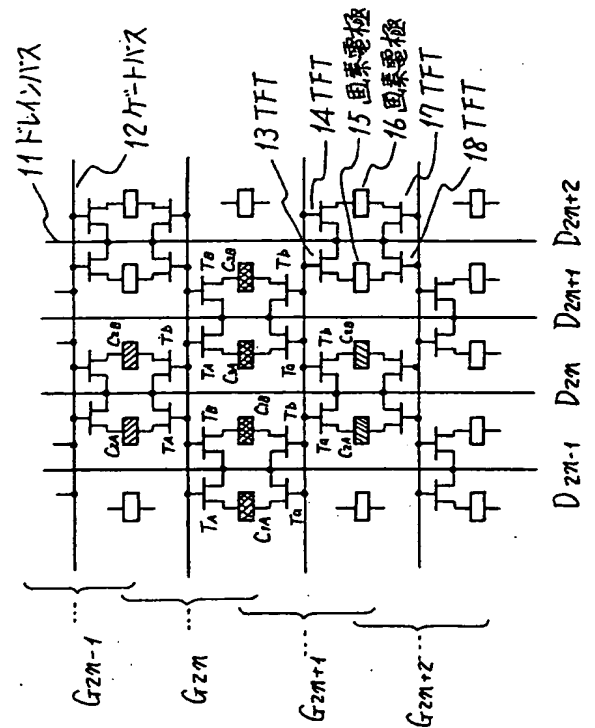
4. 図面の簡単な説明

第1図は本発明の一実施例を説明するためのアクティブマトリックスの等価回路図、第2図は本発明の他の実施例のアクティブマトリックスの等価回路図、第3図は第1図に示した一実施例のインターレース駆動を説明するためのゲートバスに与える信号のタイミングチャート、第4図(a), (b)

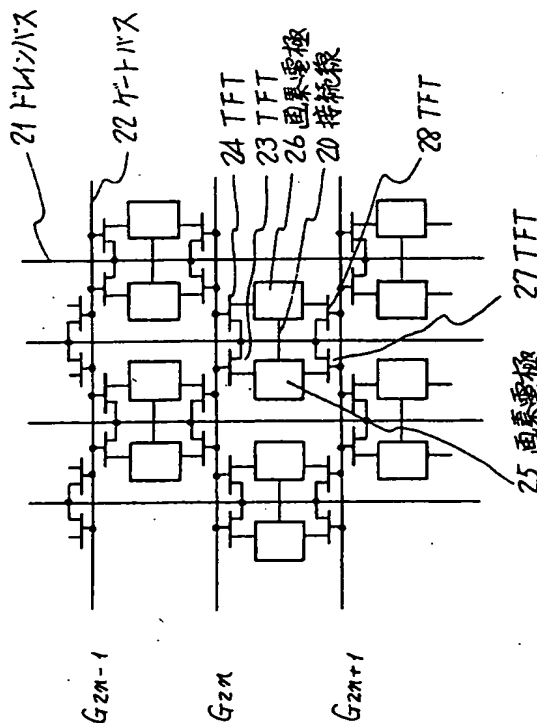
はともて第1図に示した本発明の一実施例により
得られる表示のカラー配列を説明した図、第5図。
第6図はともて本発明に適用可能なゲートバスの
信号タイミングと液晶に印加される電圧とを説明
した図、第7図は従来のカラー三角配列アクティ
ブマトリクス表示器のアクティブマトリクスの
等価回路図、第8図は従来のTFT2素子アク
ティブマトリクスの等価回路図、第9図は従来
の他のカラー三角配列アクティブマトリクスの
等価回路図、第10図は第9図に示したアクティ
ブマトリクスでのゲートバスの信号タイミング
とドレインバスの色信号のタイミングと成分を説
明するための図である。

11. 21. 71. 81. 91.....ドレインバ
ス、12. 22. 72. 82. 92.....ゲートバ
ス、13. 23. 73. 83.....TFT、14.
24. 74. 84.....TFT、15. 25. 75
.....画素電極、16. 26. 76.....画素電極、
17. 27.....TFT a、18. 28.....TFT
b、80. 90.....表示電極、99.....TFT。

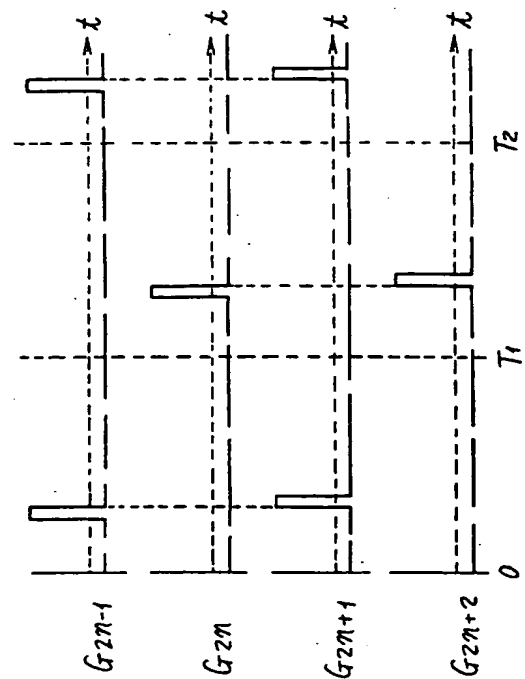
第1図

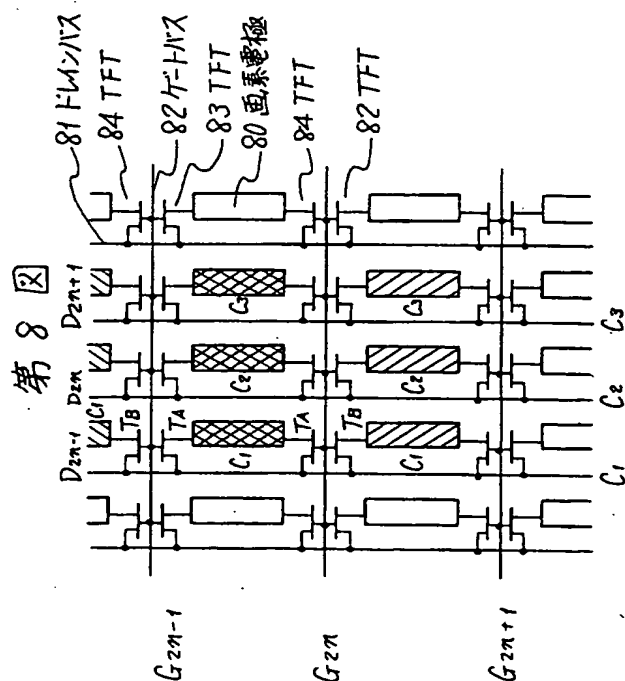
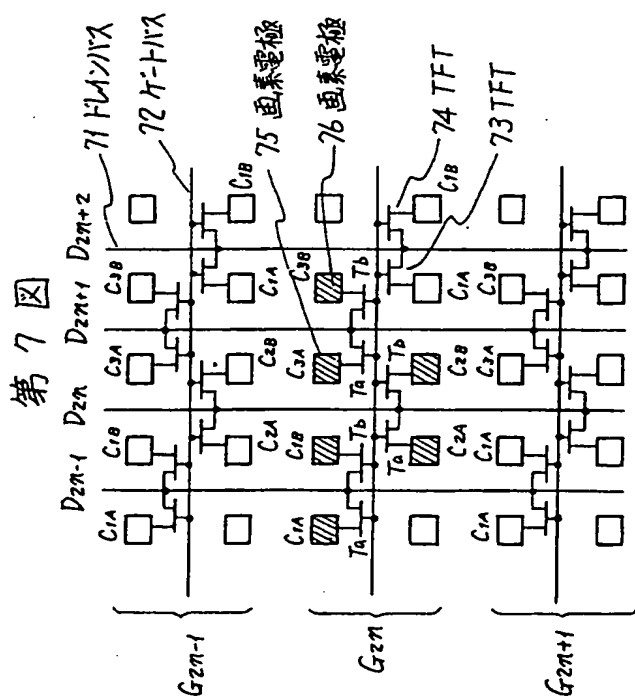
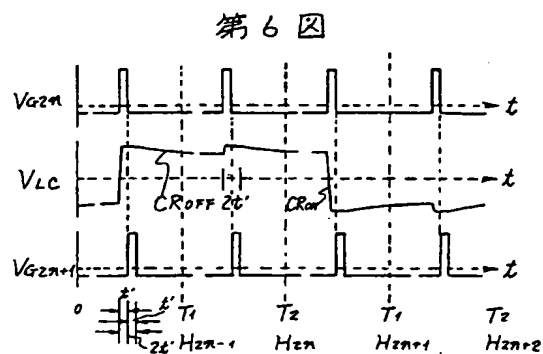
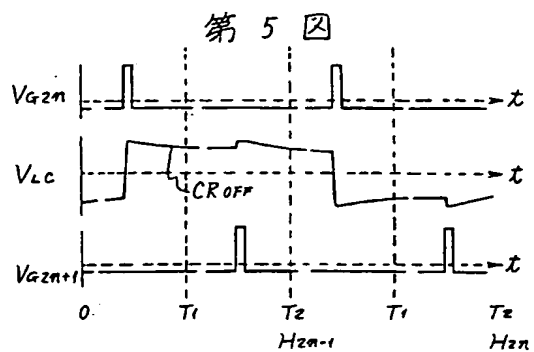
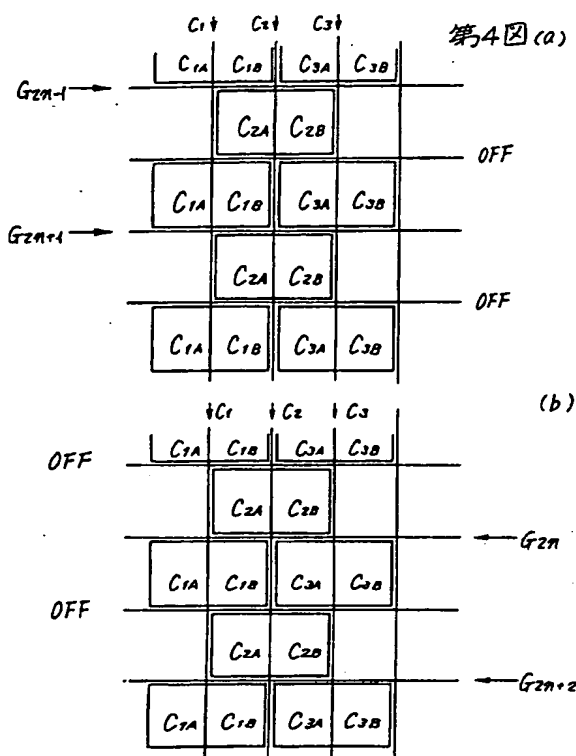


第2図

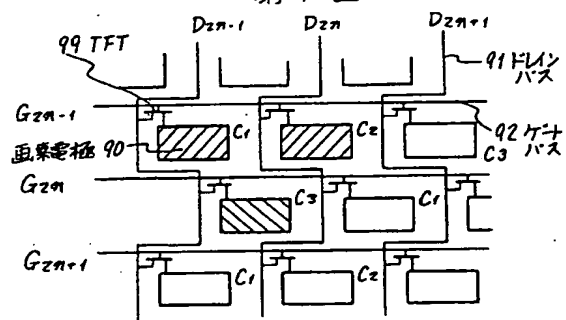


第3図





第9図



第10図

